



# ショットキー・オーミックコンタクト同時形成プロセスを適用した炭化珪素(SiC)ショットキーバリアダイオード内蔵MOSFETの研究

著者	清水 悠佳
発行年	2020
学位授与大学	筑波大学 (University of Tsukuba)
学位授与年度	2019
報告番号	12102甲第9377号
URL	<a href="http://hdl.handle.net/2241/00160926">http://hdl.handle.net/2241/00160926</a>

氏 名	清水 悠佳		
学 位 の 種 類	博 士 ( 工 学 )		
学 位 記 番 号	博 甲 第 9377 号		
学 位 授 与 年 月 日	令和2年3月25日		
学 位 授 与 の 要 件	学位規則第4条第1項該当		
審 査 研 究 科	数理物質科学研究科		
学 位 論 文 題 目	ショットキー・オーミックコンタクト同時形成プロセスを適用した炭化珪素(SiC)ショットキーバリアダイオード内蔵 MOSFET の研究		
主 査	筑波大学教授	博士(工学)	岩室 憲幸
副 査	筑波大学准教授	博士(工学)	矢野 裕司
副 査	筑波大学准教授	博士(工学)	蓮沼 隆
副 査	産業技術総合研究所		
	研究チーム長	博士(工学)	原田 信介

## 論 文 の 要 旨

審査対象論文は、次世代パワーデバイスとして期待されているシリコンカーバイド(SiC)-MOSFET の信頼性上の課題である、PiN ボディーダイオード通電による順方向電圧劣化現象解決のため、SBD 内蔵 MOSFET に注目し、その最適デバイス構造ならびにプロセス技術の確立を実現することを目的としている。なお、対象とする SiC-MOSFET の耐圧は、今後急激に需要が伸びると予測される車載用途を想定し、600～1200 V に設定している。MOSFET の表面電極形成に、オーミック、ショットキーコンタクト同時形成プロセスを提案し、高信頼で低コンタクト抵抗特性を有することを実証している。さらにこのプロセスを実際の SiC-MOSFET 試作にも適用し、オン抵抗を増加させることなくボディーダイオード通電による順方向電圧劣化を抑制できたことを実証している。

SiC は、そのエネルギーバンドギャップが大きいこと、さらには熱伝導性が高いという特長により高耐圧で低オン抵抗、さらには高温動作が可能であることからシリコンに替わる新たなパワーデバイス用半導体材料として大きな注目を浴びている。特に SiC-MOSFET は高速スイッチング特性も実現可能なことから、パワーエレクトロニクス装置の性能を一層向上させるための切り札として現在世界で盛んに研究されている。しかしながら、SiC-MOSFET に寄生している PiN ボディーダイオードに順方向電流が通電すると、その順方向電圧が劣化するという SiC 特有の現象のためその普及が妨げられている、と説明している。

第 1 章ならびに第 2 章にて SiC の材料物性や SiC パワーデバイスの特徴を述べ、さらに課題である PiN ボディーダイオード順方向電圧劣化現象の発生メカニズムについて解説している。またこの順方向

電圧劣化を抑制するため、先行研究において既に検討されている、(i)基底面転位(BPD)をなくす方法、(ii)正孔電流を BPD が多く存在する n+ 基板/n-エピ界面に到達させないために再結合促進層(n+バッファ層)を挿入する方法、さらには(iii) MOSFET 駆動条件を改良する手法を解説し、その実現可能性や課題について、SBD 内蔵 MOSFET 構造と詳細に比較検討を実施している。その結果、SBD を内蔵する方法が SiC-MOSFET 高信頼性実現には最も有望で、かつ現実的であるということを述べている。

第 3 章では、本研究対象である SBD 内蔵 SiC-MOSFET 作製のキープロセスである、同一金属を用いてのオーミック、ショットキーコンタクト同時形成プロセスについて説明している。N+層表面の 3C-SiC 再結晶化、ドライエッチングによるコンタクト開口、さらには Ti(チタン)堆積と熱処理による電極形成の組み合わせにより、低抵抗で高信頼性を有する微細コンタクト構造にも適用可能であることを実証した。MOSFET 試作のための基板に用いられる 4H-SiC よりも、バンドギャップが小さくショットキー界面の障壁高さが小さくなることが期待される 3C-SiC を基板表面に形成することで、Ti を用いてオーミックコンタクトを実現できるのではないかと着想した。3C-SiC の形成には、高濃度のイオン注入により基板表面を完全にアモルファス化した状態で活性化アニールをすることにより多結晶 3C-SiC が基板表面に再結晶化するという現象を利用している。Ti 電極を用いることで n 値が 1 に近いショットキーコンタクトを実現し、なおかつ SiC-MOSFET で一般的に使われる Ni シリサイドを用いることなく、オーミックコンタクトを実現している。

上記プロセスを実際の SiC-MOSFET に適用した際の課題とその解決方法について第 4 章で詳細に述べている。オーミック、ショットキーコンタクト同時形成プロセスは、N+表面を結晶性の悪い 3C-SiC に再結晶化させるため、3C-SiC がチャネルやゲート酸化膜に悪影響を及ぼすことが懸念された。そこで、その解決策として低不純物濃度の N 層を上記 N+の横に設け、3C-SiC をチャネルやゲート酸化膜から離れたエクステンション構造、を設けることを提案した。このエクステンション構造の有無でゲートリーク電流とチャネル移動度に差が出ることを見出し、ゲートリークの低減とチャネル移動度の向上が確認できた。このゲートリーク電流の理由として、表面ラフネスの増大による電界集中、または酸化膜界面近傍のトラップによりバンドが曲げられ障壁が薄くなる可能性を上げている。どちらも 3C-SiC が多結晶であることに起因しておりその可能性は十分に考えられる、としている。チャネル移動度の向上について、チャネル近傍の TEM 像を取得し解析した結果、エクステンション構造の有無に関わらず、3C-SiC 領域の端部を起点に基板表面と水平方向に欠陥が走っていることが確認できた。この欠陥が延びている領域の移動度が著しく低下していると仮定すると、エクステンション無し構造で急激に移動度が低下している結果を説明できる。またエクステンション有り構造では、この欠陥がエクステンション構造内で止まっておりチャネル領域にはかかっていないため、チャネル移動度に影響を及ぼさない、と説明している。

第 5 章では、これら検討結果を総合し、耐圧 1.2kV クラスの SBD 内蔵 SiC-MOSFET を試作し、この構造の有効性を実証した結果を述べている。素子試作において、オーミックコンタクト、ショットキーコンタクト同時形成プロセスによりセルピッチを約 10%縮小し、なおかつソース領域にエクステンション構造を適用している。SBD 内蔵 MOSFET と従来の SBD を内蔵しない MOSFET のオン抵抗を比較したところ、SBD を内蔵することによるオン抵抗の増加は 10%程度に抑えられており、これはオーミック、ショットキーコンタクト同時形成プロセスの適用によりセルピッチの増加を最低限に抑えることができたためであるとしている。また、試作した SBD 内蔵 MOSFET が通電劣化しないことを確認するため、パルス通電装置によ

り大電流の通電試験を実施した結果、SBD 内蔵素子では積層欠陥の成長は見られず、SBD 内蔵による積層欠陥抑制の効果が確認できた、と結論付けている。

そして最終第 6 章では、SBD 内蔵 MOSFET の課題として残っている、(i)オン抵抗増加を抑制するためのチャネル移動度向上に関する検討、ならびに(ii)PiN ボディーダイオードが導通しない電流領域を拡大するための素子設計指針を述べ、今後はこれらを実際の素子を試作して検証する予定である、としている。

オーミック、ショットキーコンタクト同時形成プロセス、ならびにゲート絶縁膜の信頼性(ゲートリーク電流)およびソース領域近傍の移動度低下を防ぐエクステンション構造の提案とその実証により、SBD 内蔵 SiC-MOSFET 実現のためのプロセス技術の確立に道筋をつけたことを実証した。さらに上記プロセスを適用して試作した素子は、低オン抵抗を実現し、なおかつ PiN ボディーダイオード通電による順方向電圧劣化が見られない高信頼性を実現している。今後は、第 6 章で述べた内容に加え、3C-SiC 再結晶化による移動度低下のメカニズムの詳細検討、3C-SiC 起点で発生する欠陥のデバイス信頼性への影響の検討、さらにより低オン抵抗が実現できるトレンチ MOSFET への適用を検討し、SBD 内蔵 SiC-MOSFET の早期実用化を進めていきたい、と結んでいる。

## 審 査 の 要 旨

### 〔批評〕

SiC-MOSFET 実用化を阻む最大の課題である、PiN ボディーダイオード通電による順方向電圧劣化に対し、SBD 内蔵方式が最も有望であることを先行研究の結果と比較しながら理論的に説明した。また、この素子構造を実現するためのキーププロセスあるオーミック、ショットキー電極同時形成プロセスを、3C-SiC 層ならびに n 型低濃度エクステンション構造を用いるという独自のアイデアを提案しその効果を実証している。さらに、実際にこのプロセスを適用した 1.2 kV クラス SBD 内蔵 SiC-MOSFET を試作し、その動作実証をした結果も詳細に述べられている。その結果は、セルピッチを小さくしたままオン抵抗を増加させることなく、PiN ボディーダイオード通電による順方向電圧劣化問題を解決したものであった。SBD 内蔵 SiC-MOSFET 作製の課題であった、オン抵抗を増加させることなく表面電極を形成するプロセス技術確立に道筋をつけた世界で初めての技術であるといえる。またこれら検証結果は将来の SiC-MOSFET 実用化と普及に向けて新しくかつ有効な知見と指針を示しており、学術的な貢献が認められる。

### 〔最終試験結果〕

令和 2 年 2 月 14 日、数理物質科学研究科学学位論文審査委員会において審査委員の全員出席のもと、著者に論文について説明を求め、関連事項につき質疑応答を行った。その結果、審査委員全員によって、合格と判定された。

### 〔結論〕

上記の論文審査ならびに最終試験の結果に基づき、著者は博士(工学)の学位を受けるに十分な資格を有するものと認める。